

MOS 电流模逻辑分频器设计

梁 蓓^{1,2}, 马 奎², 傅兴华²

(1 贵州大学 科技学院 贵州 贵阳 550025, 2 贵州大学 微纳电子技术重点实验室, 贵州 贵阳 550025)

摘 要: 用参数已经优化的 MCML(MOS 电流模逻辑)电路设计了锁存器,对锁存器的功耗及延迟进行了仿真分析;基于该锁存器分别设计了一个二分频和四分频电路,二分频电路的最高工作频率达到 7.7 GHz. 四分频电路采用两个二分频电路直接级联,由于无缓冲连接,不仅减小了第一级的输出节点电容,同时减小了芯片的面积. 电路仿真均在 SMIC 0.13 μm CMOS 工艺下完成.

关键词: MCML; 锁存器; 分频器; 源耦合逻辑

中图分类号: TN403

文献标识码: A

文章编号: 1000-7180(2012)10-0157-04

The Design of MOS Current Mode Logic Frequency Divider

LIANG Bei^{1,2}, MA Kui², FU Xing-hua²

(1 College of Science and Technology, Guizhou University, Guiyang 550025, China; 2 Key Laboratory of Micro-Nano Electronics in Guizhou Province, Guizhou University, Guiyang 550025, China)

Abstract: The MCML (MOS current mode logic) latch is designed with optimized parameters. Its power consumption and delay is analyzed and simulated. Based on this latches, the 1:2 and the 1:4 frequency divider is designed, respectively. The maximum operating frequency of the 1:2 frequency divider is 7.7 GHz. The 1:4 frequency divider has been realized by two 1:2 frequency dividers in cascade. Without buffers, the 1:4 frequency divider reduces the first stage output node capacitance, and reduces the area of the chips. Circuits were simulated in the SMIC 0.13 μm CMOS technology.

Key words: MCML; latch; frequency divider; source coupled logic

1 引言

分频器是电子系统中常处于高频段工作的基本模块,在频率综合器、时钟产生、数据恢复以及高频光纤通信系统中广泛应用. 分频器的工作速度也往往成为这些高速系统工作的瓶颈之一^[1]. MOS 电流模逻辑(MOS Current Mode Logic, MCML)电路由于具有独特的差分对称结构以及使用尾部电流源作为电路偏置,不仅抗干扰性强,且其功耗几乎与它的工作频率无关^[2],因而在高频段时功耗比传统的 CMOS 电路低. 此外,MCML 电路的逻辑输出摆幅较小,因而电路的开关速度比传统的 CMOS 电路高. 所以可应用 MCML 电路实现高速分频器设计.

2 MCML 锁存器结构

基本 MCML 电路如图 1 所示,晶体管 Q_1 、 Q_2 组成差分对结构,尾部晶体管 Q_3 工作在饱和区,为 MCML 反相器提供稳定的开关电流 I_{cs} ^[3-4].

MCML 锁存器由一个 2 层堆叠的 MCML 电路构成^[5],如图 2(a)所示,主要有采样电路和保持电路. 其中 Q_1 和 Q_4 组成采样电路,交叉耦合的 Q_2 和 Q_3 形成正反馈组成保持电路,由差分对晶体管 Q_5 和 Q_6 组成时钟控制电路,用以确定 MCML 电路的导通分支. 尾电流 I_{cs} 为电路提供偏置,由工作在饱和区的 NMOS 管 Q_s 产生.

当时钟(ck)为高电平时,MCML 锁存器的采样

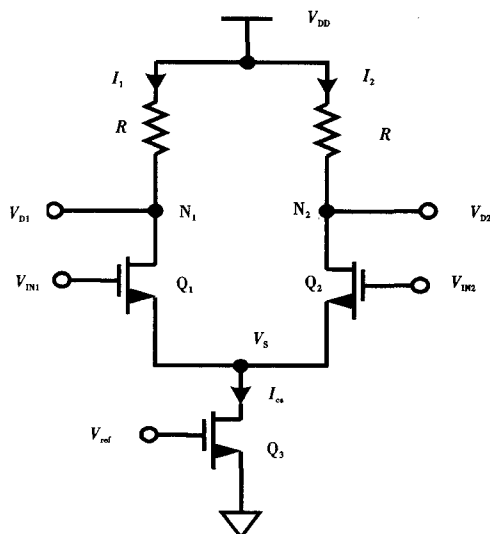


图1 基本 MCML 电路

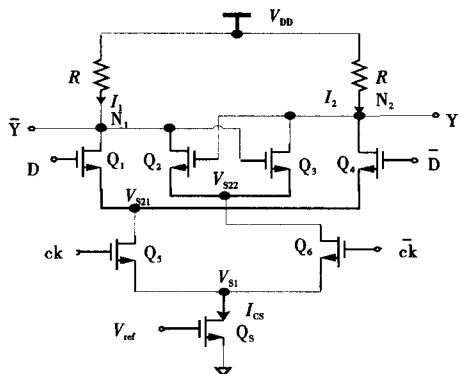
电路工作,输入端信号将传送到输出端.当时钟为低电平时,采样电路断开,保持电路工作,输出端将维持断开之前的电压不变,即处于“保持”状态.

对于 MCML 电路,当输出电压的摆幅为 ΔV ,尾电流为 I_{cs} ,负载总电容为 C_L (含电路的寄生电容)时,延迟的一般表示式为

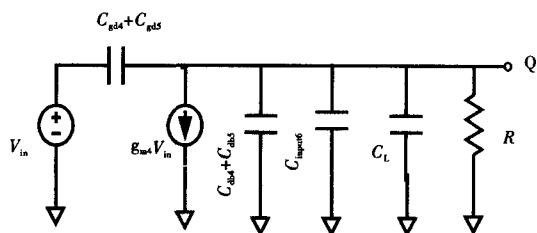
$$\tau = RC_L = \frac{\Delta V}{I_{cs}} C_L \quad (1)$$

因此锁存器工作的速度受到负载电阻、电压摆幅、尾电流以及负载电容 C_L 的影响.而在电路设计中,这些参量之间相互作用、相互影响,使电路的设计变得很困难.如,为了减小充放电时间常数,需要减小负载电阻,但同时又减小了电压摆幅,这将直接影响对后级电路的驱动;增大尾电流可以提高工作速度及电压摆幅,但同时也增加了电路的功耗及面积.因此在锁存器的设计中,需要折中考虑参量与性能的问题.

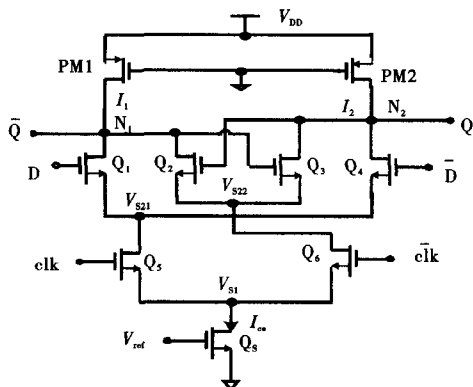
本文在 $0.13 \mu\text{m}$ COMS 工艺下,通过对 MCML



(a) 电阻器负载锁存器电路



(b) 锁存器小信号等效半电路



(c) PMOS 负载锁存器电路

图2 MCML 锁存器

锁存器参数的优化设计及大量仿真实验,给出了在电源电压 1.2 V ,电压摆幅 0.3 V 时,锁存器的优化设计参数如下:

$Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7$: model: n12

Structure parameters:

Q_5 : $L=130 \text{ nm}$, $W=150 \text{ nm}$

Q_5, Q_6 : $L=130 \text{ nm}$, $W=450 \text{ nm}$

Q_1, Q_2, Q_3, Q_4 : $L=130 \text{ nm}$, $W=600 \text{ nm}$

R : model: rnpsab

$R_{sh}=268.686 \Omega/\square$, $W=360 \text{ nm}$, $L=10 \mu\text{m}$,

$R=9.28726 \text{ k}\Omega$

仿真结果如图 3(a)所示.

其上升传播延迟为 19.68 ps ,下降传播延迟为 16.73 ps ,功耗 $38.64 \mu\text{W}$.相比传统的 CMOS 电路,其功耗及延迟较小.

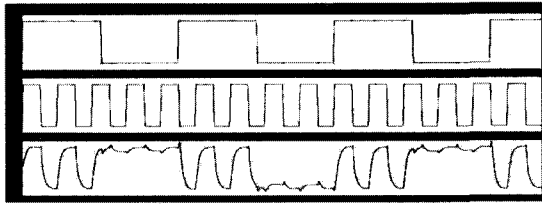
由于在 CMOS 工艺中, N 阱电阻和扩散电阻对衬底的 PN 结寄生电容较大,多晶硅电阻因工艺偏差而精度不够,因此在高速锁存器中常选用有源负载作为 MCML 锁存器的工作负载.采用 PMOS 作负载的电路参数选取如下:

$PM1, PM2$: model: p12

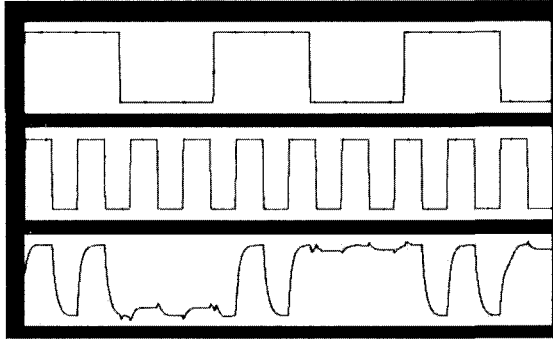
Structure parameters: $L=130 \text{ nm}$, $W=275 \text{ nm}$

电路如图 2(c),仿真结果如图 3(b)所示.其上升传播延迟为 21.29 ps ,下降传播延迟为 28.87 ps ,功耗 $38.66 \mu\text{W}$.由于 PMOS 负载增大了电路的寄

生电容,因此相比电阻器负载,其延迟加大。



(a) 电阻器负载瞬态响应



(b) PMOS 负载瞬态响应

图3 MCML 锁存器瞬态响应

对于电阻器负载,由小信号等效半电路可得到锁存器的延迟估算式为:

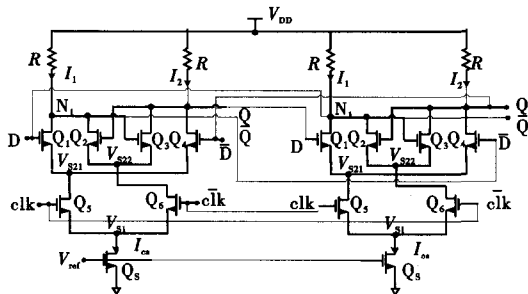
$$\tau = 0.69R(C_{db4} + C_{db5} + C_{gd4} + C_{gd5} + C_{input6} + C_L) \quad (2)$$

式中, C_{input6} 表示晶体管 Q_4 的输入电容, C_L 表示负载电容,则本文所设计的锁存器的延迟时间约为 $\tau = 65$ ps。

3 MCML 分频器

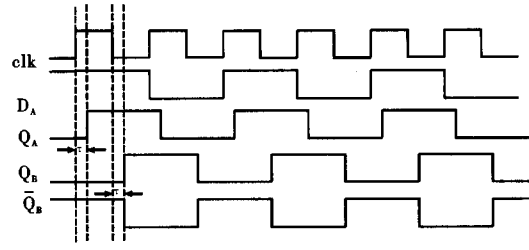
3.1 MCML 二分频器

由图 2(a)所示的两个 MCML 锁存器构成一个 MCML 主从式 D 触发器电路^[6-7],电路如图 4 所示。第一级为主触发器,第二级为从触发器。该触发器同时又可作为一个二分频器。



(a) 二分频器电路图

二分频电路的时序如图 4(b)所示,设两个锁存



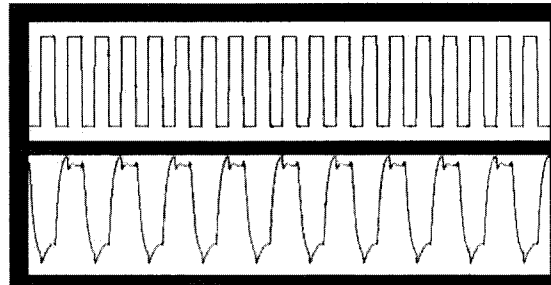
(b) 二分频器时序图

图4 MCML 二分频器

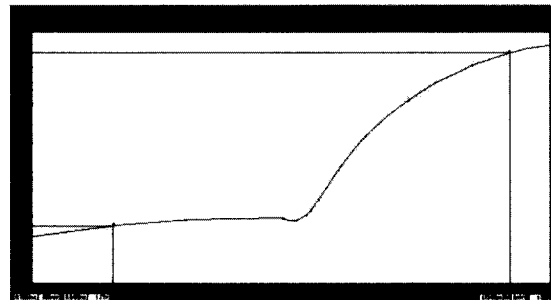
器的采样延迟均为 τ ,则信号从触发器的 D 端进入,到 Q 端输出,需要经历 2τ 时间的延迟,所以时钟频率应为:

$$f \leq \frac{1}{2\tau} \quad (3)$$

因此,电路的最大时钟频率为 $f = 1/(2\tau)$,即分频器的最高工作频率由构成它的锁存器的延迟所决定,在不影响分频器性能的前提下,尽量缩短寄存器的延时是分频器取得高速的关键。本文所设计的锁存器延迟 $\tau = 65$ ps,由它构成分频器,最高时钟频率为 $f = 1/(2\tau) = 7.7$ GHz,二分频器的最高工作频率则为 3.85 GHz。电路的仿真波形如图 5 所示。



(a) 二分频器的瞬态响应波形



(b) 二分频器的仿真延迟

图5 二分频器电路的仿真波形

由仿真结果得到所设计的二分频器电路的延迟约为 142.9 ps,与计算值 $2\tau = 130$ ps 比较,误差约为 9%。电路的功耗为 76.68 μ W,几乎是单一锁存器功耗的两倍。计算值中未考虑时钟的偏斜及互连

线的寄生电容等. 从仿真结果看, 电路功能正确, 但电路的输出电压摆幅下降为 0.26 V.

3.2 MCML 四分频器

将两个二分频电路直接级联构成一个四分频电路, 结构框图如图 6 所示.

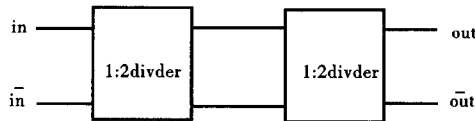
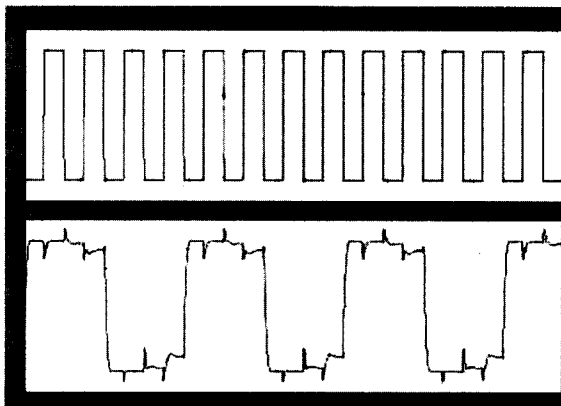
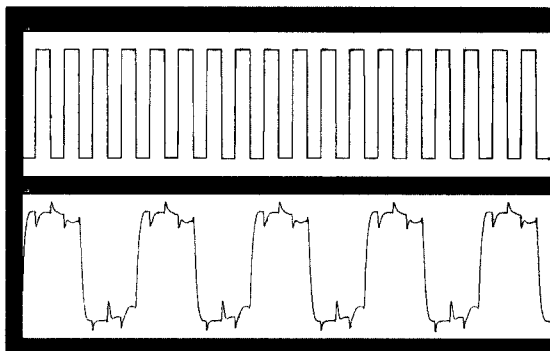


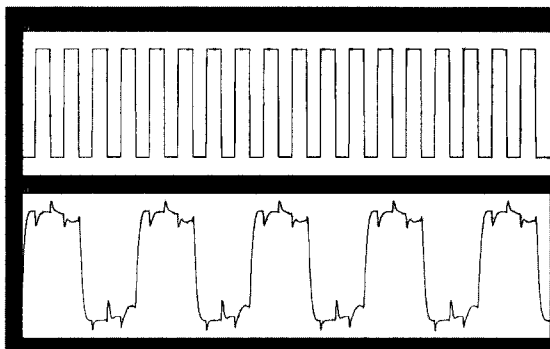
图 6 四分频器电路结构



(a) 输入时钟 $f=1\text{ GHz}$



(b) 输入时钟 $f=2\text{ GHz}$



(c) 输入时钟 $f=3\text{ GHz}$

图 7 四分频器电路瞬态响应

其中二分频电路的设计采用图 4(a) 所示结构, 参数设计也与之相同, 取尾电流为 $I_{cs}=30\text{ }\mu\text{A}$. 由于

MCML 电路直接级联的条件是前级输出电压摆幅必须大于后级所需的最低差模输入电压. 而本文中 MCML 电路所需的最低差模输入电压为

$$\Delta V_{\min} = \sqrt{2I_{cs}/K'_n(W/L)_n} = 0.24\text{ V} \quad (4)$$

由式(4)及二分频器的仿真结果可知两级电路可以直接级联.

在 1~3 GHz 范围内, 对所设计的四分频电路进行了仿真, 仿真波形如图 7 所示.

仿真结果表明电路功能正确. 在 1~3 GHz 范围内, 对电路功耗情况的仿真数据分别为 153.912 μW 、153.936 μW 、153.96 μW , 结果说明电路功耗几乎不随频率变化, 且与其它电路相比功耗较小^[6]. 由于四分频电路的设计采用了采用直接级联方式, 级间未加入缓冲器, 所以没有增加第一级电路的输出节点电容, 同时也节约了芯片面积开销. 四分频电路的版图如图 8 所示, 版图面积为: $28.329\text{ }\mu\text{m} \times 17.669\text{ }\mu\text{m} = 500.55\text{ }\mu\text{m}^2$.



图 8 四分频器电路版图

4 结束语

文中使用优化后的 MCML 锁存器结构参数对 MCML 锁存器性能进行了分析讨论, 仿真结果表明所设计的 MCML 锁存器在功耗及速度上均优于传统的 CMOS 电路. 由所设计的 MCML 锁存器构成了二分频电路, 其时钟频率可达到 7.7 GHz. 最后在二分频电路设计的基础上, 采用两个二分频电路直接级联的方法构建了一个四分频电路. 在所设计的四分频电路中, 因未加入级间缓冲器, 所以不仅未增加第一级电路的输出节点电容, 而且也节约了芯片面积开销. 仿真实验数据表明, MCML 分频器电路的功耗与工作频率几乎无关, 仅取决于基本锁存器模块的功耗. 因此, 优化 MCML 锁存器单元模块是提高分频器性能的一个重要途径.

(下转第 165 页)

5 结束语

本文提出了运用抽象解释理论分析函数不变量的正确性,首先将检测出的函数不变量转化成多项式关系,然后抽象解释分析多项式关系正确性判断的依据,接着获取程序中的语句列表,最后分析语句列表构造函数不变量验证算法.同时本文以一个C程序中的函数不变量为例,说明该验证能够有效而快速地确定函数不变量的正确性,从而发现程序内部隐含特征,辅助软件测试提高了软件的质量.

该方法同时也存在不足的地方,该方法主要针对函数不变量正确性的验证,然而不变量中存在诸如集合不变量的其他类型不变量,如何选择合适的验证方法对其他类型不变量正确性进行验证,最终形成一个对所有类型的不变量都适用的验证工具,剔除程序中错误的不变量需要进一步探讨和研究.

参考文献:

- [1] Ernst M D. static and dynamic analysis: synergy and duality[C] // WODA 2003; ICSE workshop on Dynamic Analysis. Portland ; ICSE, 2003: 24-27.
- [2] Cousot P, Cousot R. Abstract interpretation: A unified lattice model for static analysis of programs by con-

struction or approximation of fixpoints[C] // Proc of the 4th POPL. Los Angeles; ACM Press, 1977: 238-252.

- [3] 李梦君,李舟军,陈火旺. 抽象解释理论的程序验证技术[J]. 软件学报, 2008, 19(1): 17-26.
- [4] Cousot P, Cousot R. Abstract interpretation: A unified lattice model for static analysis of programs by construction or approximation of fixpoints[C] // Proc of the 4th POPL. Los Angeles; ACM Press, 1977: 238-252.
- [5] Cousot P, Cousot T. Abstract interpretation based program testing[C] // Proceedings of the SSGRR 2000 Computer & Business Conference. L'Aquila, Italy IEEE: 2000.
- [6] 赵修伟. 基于抽象解释的实时软件 WCET 研究[D]. 辽宁: 大连理工大学, 2009.

作者简介:

武书彦 男, (1975—), 硕士, 副教授. 研究方向为软件测试、网络技术和电子商务.

苏青琴 女, (1987—), 硕士研究生. 研究方向为软件测试技术.

刘久富 男, (1971—), 博士, 硕士生导师. 研究方向为软件测试技术、软件理论、人工智能.

(上接第 160 页)

参考文献:

- [1] Hung C, Floyd B, Park B, et al. Fully integrated 5.35GHz CMOS VCOs and prescalers [J]. IEEE Trans Microw Theory Tech, 2001, 49(1): 17-22.
- [2] Feiste U, Ludwig R, Schubert C, et al. 160Gbit/s transmission over 116km field-installed fibre using 160Gbit/s OTDM and 40Gbit/s ETDM [J]. Electronics Letters, 2002, 37(7): 443-445.
- [3] Alioto M, Palumbo G. Nanometer MCML gates: models and design considerations[J]. 2006 IEEE, ISCAS 2006: 3862-3865
- [4] Musicer J M, Rabaey J. MOS Current Mode Logic for Low Power, Low Noise CORDIC Computation in Mixed-Signal Environments[C] // Proceedings of the 2000 International symposium on Low power electronics and design. NY, USA ; ACM, 2000: 102-107.
- [5] Heydari P, Mohavavelu R. Design of ultra high-speed CMOS CML buffers and latches [C] // Proceedings of

the 2003 Int'l Symposium on Circuits and Systems. [S, L]: IEEE, 2003: 208-211

- [6] Wang Hongmo. A 1.8V 3mW 16.8GHz frequency divider in 0.25 μ m CMOS [C] // 2000 IEEE International Solid-State Circuit Conference, 2000: 196-196.
- [7] 刘丽, 王志功, 朱恩, 等. 16 GHz CMOS 4:1 分频器 [J]. 固体电子学研究进展, 2006(2): 69-72.
- [8] 杨守军. 超高速复接器集成电路研究[D]. 南京: 东南大学, 2005.

作者简介:

梁 蓓 女, (1963—), 博士, 副教授. 研究方向为集成电路设计.

马 奎 男, (1986—), 博士研究生. 研究方向为集成电路设计.

傅兴华 男, (1948—), 教授, 博士生导师. 研究方向为半导体器件数值模型, 集成电路设计、大功率器件设计.